

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2000124142 A

(43) Date of publication of application: 28 . 04 . 00

(51) Int. Cl

H01L 21/208

(21) Application number: 10293357

(22) Date of filing: 15 . 10 . 98

(71) Applicant: NIPPON TELEGR & TELEPH CORP  
<NTT>

(72) Inventor: MORI HIDEFUMI  
TACHIKAWA MASAMI  
NARIZUKA SHIGEYA  
NISHINAGA SHO

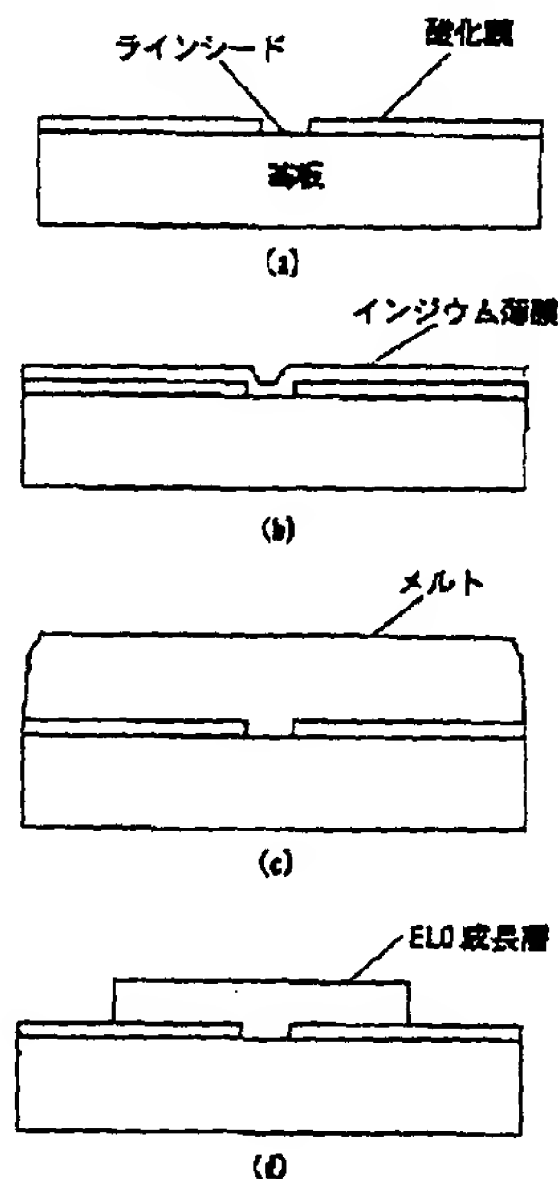
(54) MANUFACTURE OF SEMICONDUCTOR LAYER

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a method of forming a semiconductor layer which is low in dislocation density, keeping it high in reproducibility by a method wherein the semiconductor layer is given a method, through which it is improved in reproducibility, and furthermore a semiconductor layer is epitaxially grown in the fine region on the surface of a substrate.

SOLUTION: A line seed window is bored in an oxide film which is formed on a substrate through a photolithographic technique (a), and an indium thin film is deposited thereon (b). Thereafter, molten metal (melt) where a semiconductor component is fused is brought into contact with the surface of the substrate in the window (c), and a semiconductor component contained in the melt is grown laterally (ELO) for the formation of an ELO growth layer (d).

COPYRIGHT: (C)2000,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-124142 <sup>m</sup>  
(P2000-124142A) ✓

(43) 公開日 平成12年4月28日 (2000.4.28)

(51) IntCl.<sup>7</sup>  
H 0 1 L 21/208

識別記号

F I  
H 0 1 L 21/208

キーワード (参考)  
S 5 F 0 5 3

審査請求 未請求 請求項の数11 O L (全 7 頁)

(21) 出願番号 特願平10-293357

(22) 出願日 平成10年10月15日 (1998. 10. 15)

(71) 出願人 000004226  
日本電信電話株式会社  
東京都千代田区大手町二丁目3番1号  
(72) 発明者 森 英史  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内  
(72) 発明者 太刀川 正美  
東京都新宿区西新宿三丁目19番2号 日本  
電信電話株式会社内  
(74) 代理人 100068353  
弁理士 中村 純之助 (外2名)

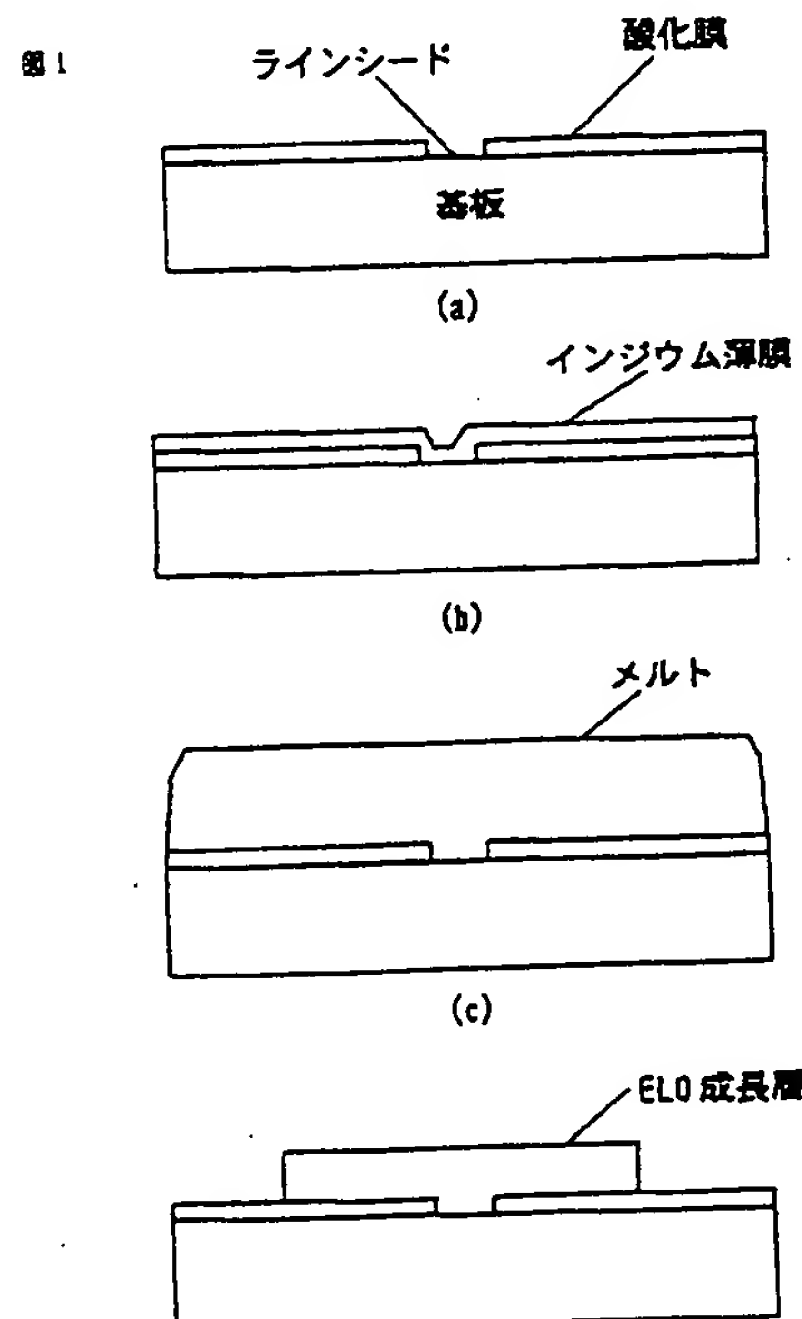
最終頁に続く

(54) 【発明の名称】 半導体層の製造方法

(57) 【要約】

【課題】 基板表面にエピタキシャル成長を施すことによって該基板上に半導体層を形成する半導体層の製造方法において、その再現性を大幅に改善する手法を与え、さらには該表面の微小領域上のエピタキシャル成長によって、転位密度が低い半導体層を再現性良く製造する方法を提供すること。

【解決手段】 基板上に形成された酸化膜に、(a) フォトリソグラフィーを用いてラインシードの窓をあけ、(b) その上にインジウム薄膜を堆積した後に、(c) 窓部の基板表面に半導体成分を溶解した熔融金属（メルト）を接触させて、(d) メルト中の半導体成分を半導体結晶として横方向成長（ELO）させてELO成長層を形成する方法を構成することによって課題を解決する。



## 【特許請求の範囲】

【請求項1】基板表面の少なくとも一部分にエピタキシャル成長を施すことによって該基板上に半導体層を形成する半導体層の製造方法において、該エピタキシャル成長の前に、該エピタキシャル成長で使用する溶媒、該溶媒に可溶な単体、該溶媒に可溶な化合物のうちの少なくとも1つを該基板表面のエピタキシャル成長を施す部分に堆積しておくことを特徴とする半導体層の製造方法。

【請求項2】基板表面の少なくとも一部分にエピタキシャル成長を施すことによって該基板上に半導体層を形成する半導体層の製造方法において、該エピタキシャル成長の前に、該基板表面に絶縁物薄膜、高融点金属薄膜のうちの少なくとも1つを形成した後、該薄膜を部分的に除去することによって該薄膜に窓部を設けた後、該エピタキシャル成長で使用する溶媒、該溶媒に可溶な単体、該溶媒に可溶な化合物のうちの少なくとも1つを、該窓部に露出した基板表面に堆積しておくことを特徴とする半導体層の製造方法。

【請求項3】前記基板がIII-V族化合物半導体であり、前記単体がIII族元素であることを特徴とする請求項1乃至請求項2記載の半導体層の製造方法。

【請求項4】前記基板が燐化インジウムであり、前記単体がインジウムであることを特徴とする請求項3記載の半導体層の製造方法。

【請求項5】前記基板が燐化インジウムであり、前記単体がガリウムであることを特徴とする請求項3記載の半導体層の製造方法。

【請求項6】前記基板がIII-V族化合物半導体であり、前記化合物がIII-V族化合物半導体であることを特徴とする請求項1乃至請求項2記載の半導体層の製造方法。

【請求項7】前記基板が燐化インジウムであり、前記化合物が燐化インジウムであることを特徴とする請求項6記載の半導体層の製造方法。

【請求項8】前記基板が砒化ガリウムであり、前記化合物が砒化ガリウムであることを特徴とする請求項6記載の半導体層の製造方法。

【請求項9】請求項2記載の半導体層の製造方法において、前記絶縁物薄膜が二酸化珪素であることを特徴とする半導体層の製造方法。

【請求項10】請求項2記載の半導体層の製造方法において、前記絶縁物薄膜が窒化珪素であることを特徴とする半導体層の製造方法。

【請求項11】請求項1記載の半導体層の製造方法において、前記エピタキシャル成長で使用する溶媒、該溶媒に可溶な単体、該溶媒に可溶な化合物のうちの少なくとも1つを前記基板表面のエピタキシャル成長を施す部分に蒸着法によって堆積しておくことを特徴とする半導体層の製造方法。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は半導体層の製造方法に係り、特に光・電子集積回路(OEIC)に使用される半導体層の製造方法に関する。

## 【0002】

【従来の技術】結晶薄膜をエピタキシャル成長させる技術の一つに液相結晶成長法(LPE)があり、現在、LPEを用いて種々のデバイス用ウエハが製造されている。

【0003】LPEでは、通常、溶液として金属メルト(熔融液)が用いられており、メルト中に成長原料を溶かし込み、それを基板上に析出させることにより結晶成長が行なわれる。したがって、結晶成長はメルトが基板に接触した部分からのみ開始される。ここで、メルトと基板の接触過程には、メルトがもつ表面張力が大きな影響を与える。一般的に表面の凹凸の大きな基板もしくは微小構造を持つ基板では、その凹凸構造のため一部の構造にメルトが浸入できない場所が生じ、その結果、結晶成長できない領域が発生する。

【0004】LPEを用いた横方向成長(ELO)は、転位密度の低減化、成長層表面の平坦化に大きな効力を発揮している。

【0005】図5はELOを説明する概念図である。ELOにおいては、図5の(a)に示すように、基板上に保護膜として用いる酸化膜を形成する。さらに、フォトリソグラフィ技術を用いて、図5の(b)に示すように、酸化膜に窓を開ける。ELOでは、窓中の基板表面を種結晶(以後ラインシードと呼ぶ)として用い、横方向成長を行なう。転位の低減化のためには、窓幅が狭いほうが有効であるため、窓幅は $\mu\text{m}$ のオーダーのものが用いられる。幅の狭い窓を用いてELOを行なった場合、図5の(c)に示すように、一部分もしくは大部分の窓上で、メルトとラインシードとの接触が不十分となって、ELOが起こらないという問題が生じている。さらに、窓幅が $1\mu\text{m}$ 程度という特に狭い場合には、基板全領域で全くELOが起こらず、これが問題となっている。

【0006】基板中の転位は窓部を通してELO成長層中に伝播し、窓部の直上の部分にのみ生じる。転位低減化の観点によれば、窓幅は狭ければ狭い方がよい。ところが、上記のように狭い窓を利用しようとすると、上記のように、ELO層が全く成長しないという問題が発生し、非常な不都合が生ずる。

【0007】上記のような問題が現状のELO窓幅の限界、言うなれば通過転位数の低減化の限界を決めており、さらなる改善のためには、この問題を解決する必要がある。例えば、シリコン上に成長した砒化ガリウム層中には、 $10^6\text{cm}^{-2}$  台の密度の転位が存在する。この場合、幅 $10\mu\text{m}$ のラインシードを用いれば、ラインシード長 $1\text{cm}$ あたり100個の転位が通過することになる。

この値は、完全結晶の成長ならびにデバイス寿命向上の観点から見ると必ずしも低い値ではない。通過転位数を、ラインシード1cmあたり1個程度に減少させ、ELO成長層のデバイス応用のための有効性を高めるには、0.1 $\mu$ m幅という非常に狭いラインシードを用いる必要がある。このような狭いラインシードを用いると、先に述べたような理由でメルトとラインシードとの接触が悪くなり、その結果、結晶成長が阻害される。大幅な転位密度の低減化をはかるためには、ELOのこのようなメルトの濡れの問題を解決する必要がある。

【0008】

【発明が解決しようとする課題】本発明は以上の点を鑑み、基板表面にエピタキシャル成長を施すことによって該基板上に半導体層を形成する半導体層の製造方法において、その再現性を大幅に改善する手法を与え、さらには該基板表面の微小領域上のエピタキシャル成長によって、転位密度が低い半導体層を再現性良く製造する方法を提供することをその課題とする。

【0009】

【課題を解決するための手段】本発明においては、以下の方法を用いることにより上記の問題点を解決する。すなわち、請求項1～11に記載のように、

(1) 基板表面の少なくとも一部分にエピタキシャル成長を施すことによって該基板上に半導体層を形成する半導体層の製造方法において、該エピタキシャル成長の前に、該エピタキシャル成長で使用する溶媒、該溶媒に可溶性な単体、該溶媒に可溶性な化合物のうちの少なくとも1つを該基板表面のピタキシャル成長を施す部分に堆積しておくことを特徴とする半導体層の製造方法。

【0010】(2) 基板表面の少なくとも一部分にエピタキシャル成長を施すことによって該基板上に半導体層を形成する半導体層の製造方法において、該エピタキシャル成長の前に、該基板表面に絶縁物薄膜、高融点金属薄膜のうちの少なくとも1つを形成した後、該薄膜を部分的に除去することによって該薄膜に窓部を設けた後、該エピタキシャル成長で使用する溶媒、該溶媒に可溶性な単体、該溶媒に可溶性な化合物のうちの少なくとも1つを、該窓部に露出した基板表面に堆積しておくことを特徴とする半導体層の製造方法。

【0011】(3) 前記基板がIII-V族化合物半導体であり、前記単体がIII族元素であることを特徴とする前記(1)乃至(2)記載の半導体層の製造方法。

【0012】(4) 前記基板が燐化インジウムであり、前記単体がインジウムであることを特徴とする前記(3)記載の半導体層の製造方法。

【0013】(5) 前記基板が燐化インジウムであり、前記単体がガリウムであることを特徴とする前記(3)記載の半導体層の製造方法。

【0014】(6) 前記基板がIII-V族化合物半導体であり、前記化合物がIII-V族化合物半導体であるこ

とを特徴とする前記(1)乃至(2)記載の半導体層の製造方法。

【0015】(7) 前記基板が燐化インジウムであり、前記化合物が燐化インジウムであることを特徴とする前記(6)記載の半導体層の製造方法。

【0016】(8) 前記基板が砒化ガリウムであり、前記化合物が砒化ガリウムであることを特徴とする前記(6)記載の半導体層の製造方法。

【0017】(9) 前記(2)記載の半導体層の製造方法において、前記絶縁物薄膜が二酸化珪素であることを特徴とする半導体層の製造方法。

【0018】(10) 前記(2)記載の半導体層の製造方法において、前記絶縁物薄膜が窒化珪素であることを特徴とする半導体層の製造方法。

【0019】(11) 前記(1)記載の半導体層の製造方法において、前記エピタキシャル成長で使用する溶媒、該溶媒に可溶性な単体、該溶媒に可溶性な化合物のうちの少なくとも1つを該基板表面のピタキシャル成長を施す部分に蒸着法によって堆積しておくことを特徴とする半導体層の製造方法。

【0020】本発明の要点は、メルトが持つ表面張力により通常では浸入できないような微細な領域に、あらかじめ、ある材料を堆積しておき、その材料の働きを利用することにより、メルトをよりたやすく該領域に浸入させ、基板との接触を向上させ、再現性良く、均一な結晶成長を可能にすることにある。

【0021】

【発明の実施の形態】(実施の形態1) 図1に、本発明の実施の形態の実例を示す。

【0022】図1の(a)に示すように、InP基板上に形成された膜厚1000オングストロームの二酸化珪素薄膜に、フォトリソグラフィを用いて長さ200 $\mu$ m、幅0.5 $\mu$ mの窓を作製しラインシードとして用いる。上記のようにラインシードを表面に形成したウエハ上に、図1の(b)に示すように、蒸着装置を用いて膜厚3000オングストロームのインジウム薄膜を蒸着する。ここで用いたインジウムは請求項1乃至請求項2に記載の溶媒に該当する。LPE装置を用い、飽和温度570℃、過飽和温度1℃、降温レート0.1℃/min、成長時間1時間の成長条件のもとで上記ウエハ上にELOを行なった。メルトはInPを溶かし込んだインジウムである。その場合、メルトはインジウム薄膜の働きにより、狭いラインシードの窓の中に良好に浸入し、図1の(c)に示すように基板と良好な状態で接触した。その結果、図1の(d)に示すように、全てのラインシード上に均一に再現性よくInPのELO成長層が形成された。

【0023】インジウム薄膜は、ウエハが成長温度に昇温されたとき、場合によっては、基板上で島状になることもある。そのような基板の状態、および、そのような状態の基板をメルトが後述の工程で処理する



れ、図2の(a)および(b)に示す。その場合でも、インジウム島の大きさが図2の(b)に示すように大きく、その高さが二酸化珪素薄膜の厚さよりも高いような場合は、インジウム島の頂上が(図中、右から左へ移動してくる)メルトと接触し、メルトがラインシードの窓の中に引き込まれ、良好なELOが達成される。さらに、インジウム薄膜は、LPE前の昇温時にInP基板と反応し基板表面上の自然酸化膜を除去する働きを持つ。

【0024】図6は、インジウム蒸着をしない従来の成長方法によりELOした場合を示す。この場合には、図6の(a)に示すように、良好なELOが行なわれた領域とELO成長層が成長していない領域の双方が現れ、成長の再現性が非常に悪いことがわかる。図6の(b)に示すように、ラインシード幅が $3.5\mu\text{m}$ と狭いものでは、全領域にわたってELO成長層がまるで成長しなかった。これは、ラインシード幅が $3.5\mu\text{m}$ と狭いため、図6の(c)に示すように、マスクとメルトの間で発生する表面張力でメルトと基板が全く接触せず、窓部でメルトと基板の間にギャップ(空隙)が生じ、結晶成長が行なわれなかったものと考えられる。

【0025】以上の比較により、本発明を用いれば、ラインシードの幅が狭い場合など、表面張力によりメルトと基板との接触が悪くなる場合でも、メルトと基板との接触を大幅に改善でき、良好なELOが行なわれることがわかる。その結果、本発明を用いれば、ELOの再現性、均一性を大幅に向上できることがわかる。

【0026】(実施の形態2)図3は、上記とは別の、本発明の実施の形態の実例を示している。

【0027】図3の(a)に示すように、GaAs基板上に形成された膜厚1000オングストロームの窒化珪素薄膜に、フォトリソグラフィを用いて長さ $200\mu\text{m}$ 、幅 $0.5\mu\text{m}$ の窓を作製し、ラインシードとして用いる。上記のように、ラインシードを形成したウエハを用いて、図3の(b)に示すように、MOCVD(有機金属化学気相堆積法)によりラインシード部のみに選択的にGaAs層をおよそ3000オングストローム成長する。以上のように準備したウエハを用い、LPE装置により、選択成長によるGaAsラインシードを種結晶とし、飽和温度 $600^{\circ}\text{C}$ 、過飽和温度 $4^{\circ}\text{C}$ 、降温レート $0.3^{\circ}\text{C}/\text{min}$ 、成長時間1時間の成長条件のもとで、GaAsのELOを行なった。メルトはGaAsを溶かし込んだガリウムである。この場合、GaAs成長層の頂上は窒化珪素膜の上に出ているため、ELO時には、図3の(c)に示すように、GaAs成長層とメルトが接触し、その結果、すべてのラインシード上に、図3の(d)に示すように、均一に再現性良くELOが行なわれた。本実施の形態によると、ラインシードが狭い場合など、通常では表面張力の効果によりメルトと基板との接触が悪い場

きるため、ELOの均一性・再現性の大幅な向上が可能になる。

【0028】(実施の形態3)図4は、上記とはさらに別の、本発明の実施の形態の実例を示している。

【0029】図4の(a)に示すような表面に凹凸形状を持つInP基板上に、通常の蒸着装置を用いて、同図の(b)に示すように膜厚3000オングストロームのインジウム薄膜を蒸着する。以上のように準備したウエハ上に、飽和温度 $600^{\circ}\text{C}$ 、過飽和温度 $4^{\circ}\text{C}$ 、降温レート $0.5^{\circ}\text{C}/\text{min}$ 、成長時間1時間の成長条件のもとでLPEを行なった。メルトはInPを溶かし込んだインジウムである。その結果、図4の(d)に示すように、ウエハ全面にわたり均一に再現性良くLPEが行なわれることがわかった。これは、図4の(c)に示すように、インジウム薄膜の効果により微細な表面形状の中に、メルトが浸入できるようになったためと思われる。

【0030】一方、従来の成長方法によりLPEした場合は、良好なELOが行なわれる領域と、場所により成長が阻害され成長層に穴があき良好なLPE層が得られない領域の双方が現れ、成長の再現性が悪いことがわかる。これは、基板上にある微細な表面の凹凸のため、メルトの表面張力の効果などでメルトと基板の接触が悪い領域が発生し、結晶成長が良好に行なわれなかったためと解釈できる。

【0031】以上の比較によると、本発明を用いれば、基板表面に微細な凹凸形状がある場合など、従来の方法では、表面張力の効果によりメルトと基板との接触が悪くなり、結晶成長が良好に進まないような場合でも、充分にメルトと基板との接触を向上させることが可能であり、均一で良好な結晶成長を行なうことができることがわかる。

【0032】なお、本発明は上述した各実施の形態に限定されるものではない。例えば、用いる基板は、燐化インジウム、砒化ガリウムに限られるものではなく、燐化ガリウムなどのIII-V族化合物半導体、シリコンなど各種の半導体のみならず広く結晶一般に及ぶことができる。また、ELOの前に、基板表面にあらかじめ堆積しておく成分は、インジウム、砒化ガリウムに限られるものでなく、ガリウムなどのIII族元素、燐化インジウムなどのIII-V族化合物半導体のみならず広くLPEのメルトに溶解する単体あるいは化合物に及ぶことができる。さらに、基板表面に形成する薄膜も二酸化珪素、窒化珪素などの絶縁物薄膜に限られるものではなく、高融点金属薄膜のみならず広くLPEのメルトとの反応性の低い材料に及ぶことができる。その他、本発明の要旨を逸脱しない範囲で、本発明は種々変形して実施することができる。

【0033】

【発明の効果】以上の説明から明らかなように、本発明を用いれば、表面の凹凸の大きな基板上に、さらにけ

ELOで用いるラインシードのような非常に狭い窓領域の中に存在する種結晶上にも、再現性良く良好な結晶成長を実現させる手法を提供することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1を説明する図である。

【図2】 インジウム薄膜が基板上で島状になった場合を

説明する図である。

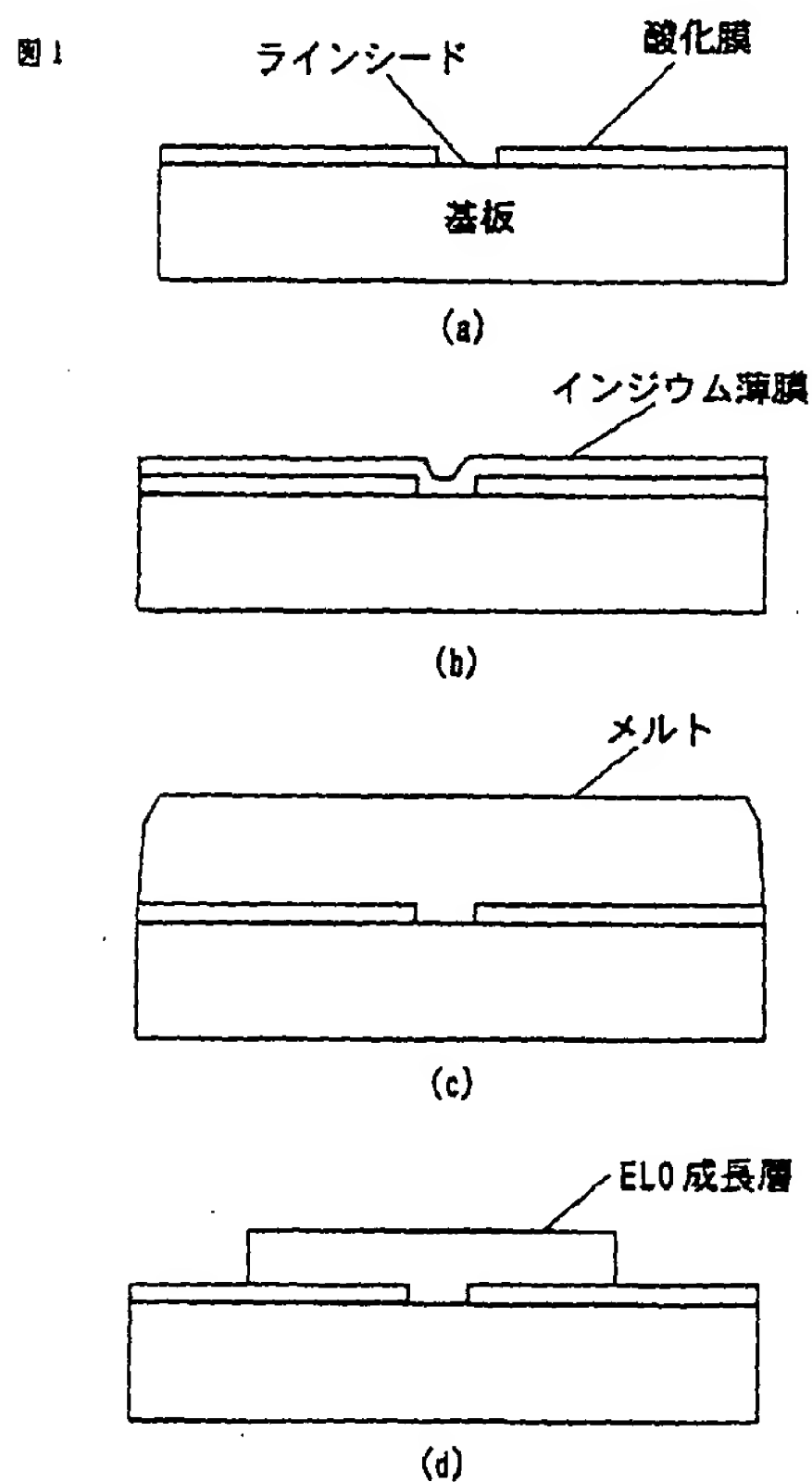
【図3】 本発明の実施の形態2を説明する図である。

【図4】 本発明の実施の形態3を説明する図である。

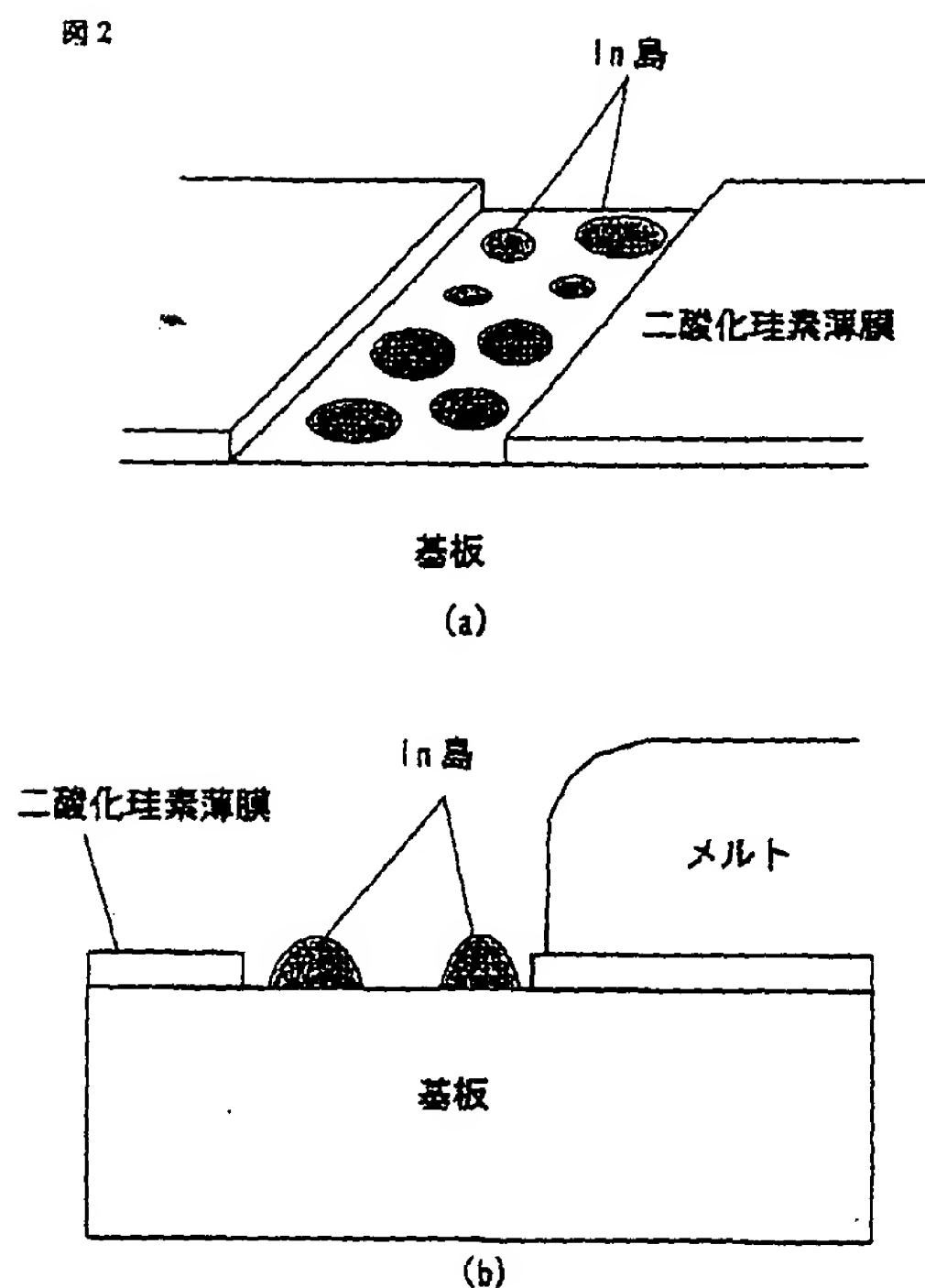
【図5】 ELOを説明する概念図である。

【図6】 従来の方法によるELOを示す図である。

【図1】

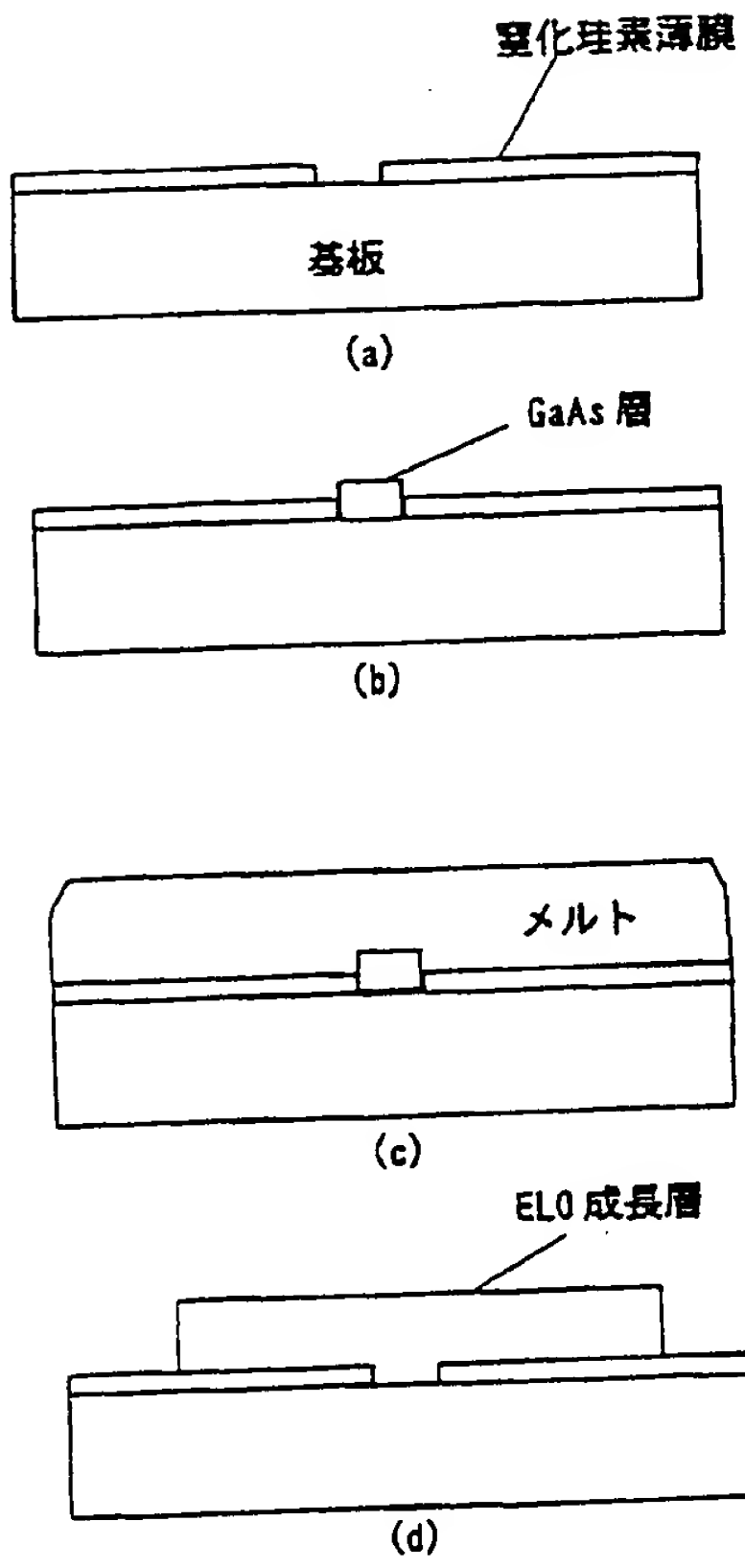


【図2】



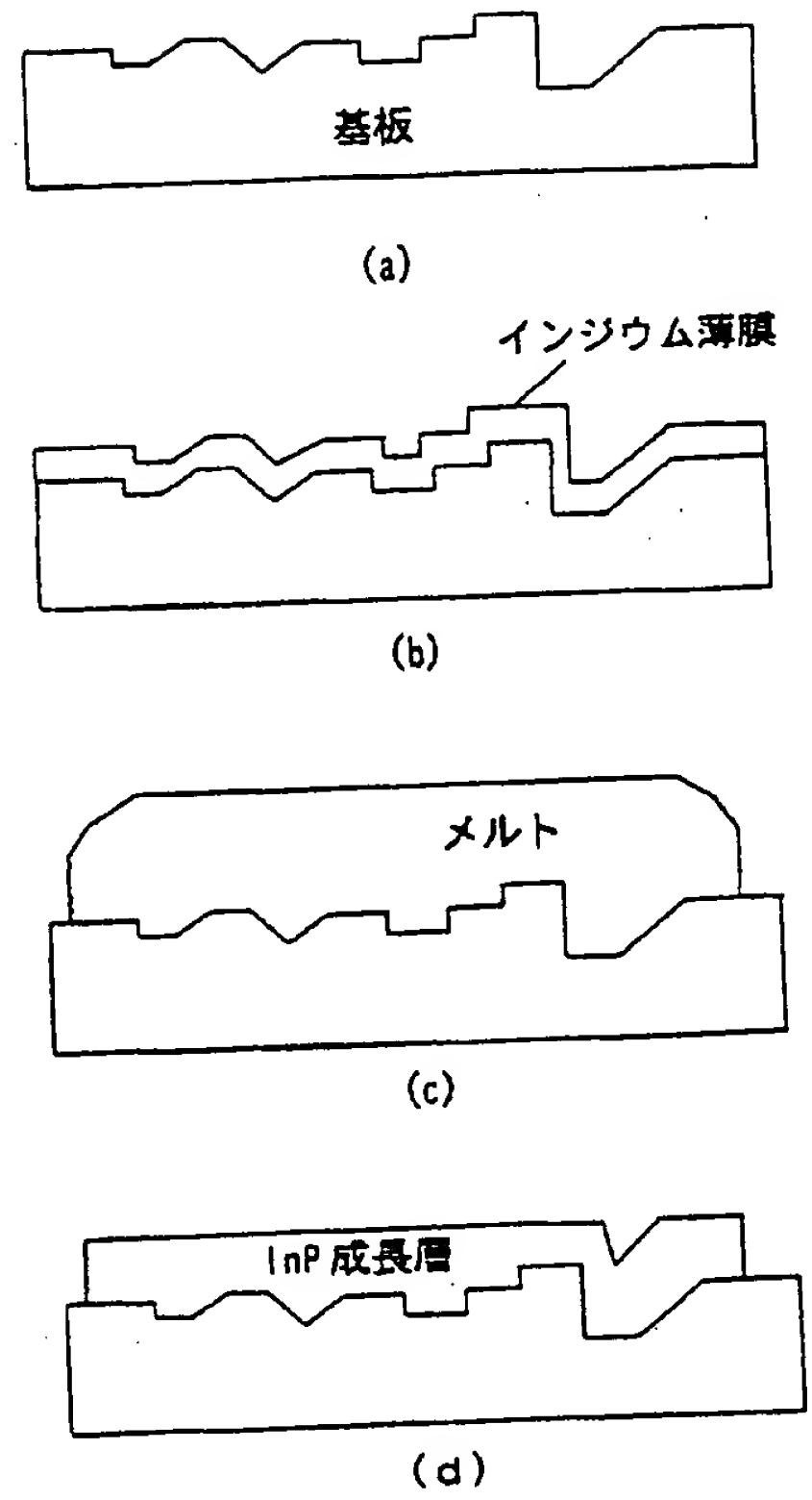
【図3】

図3



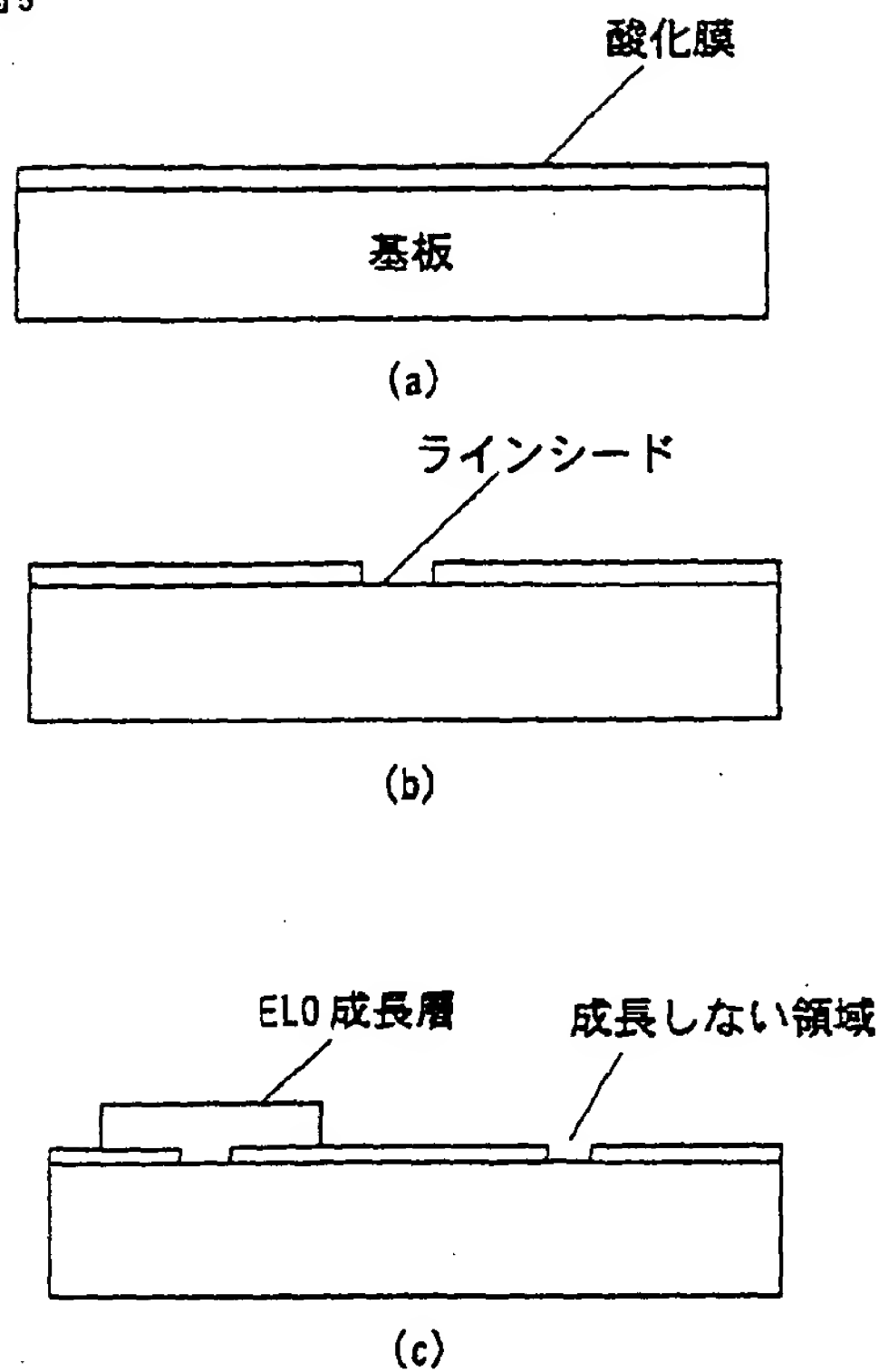
【図4】

図4



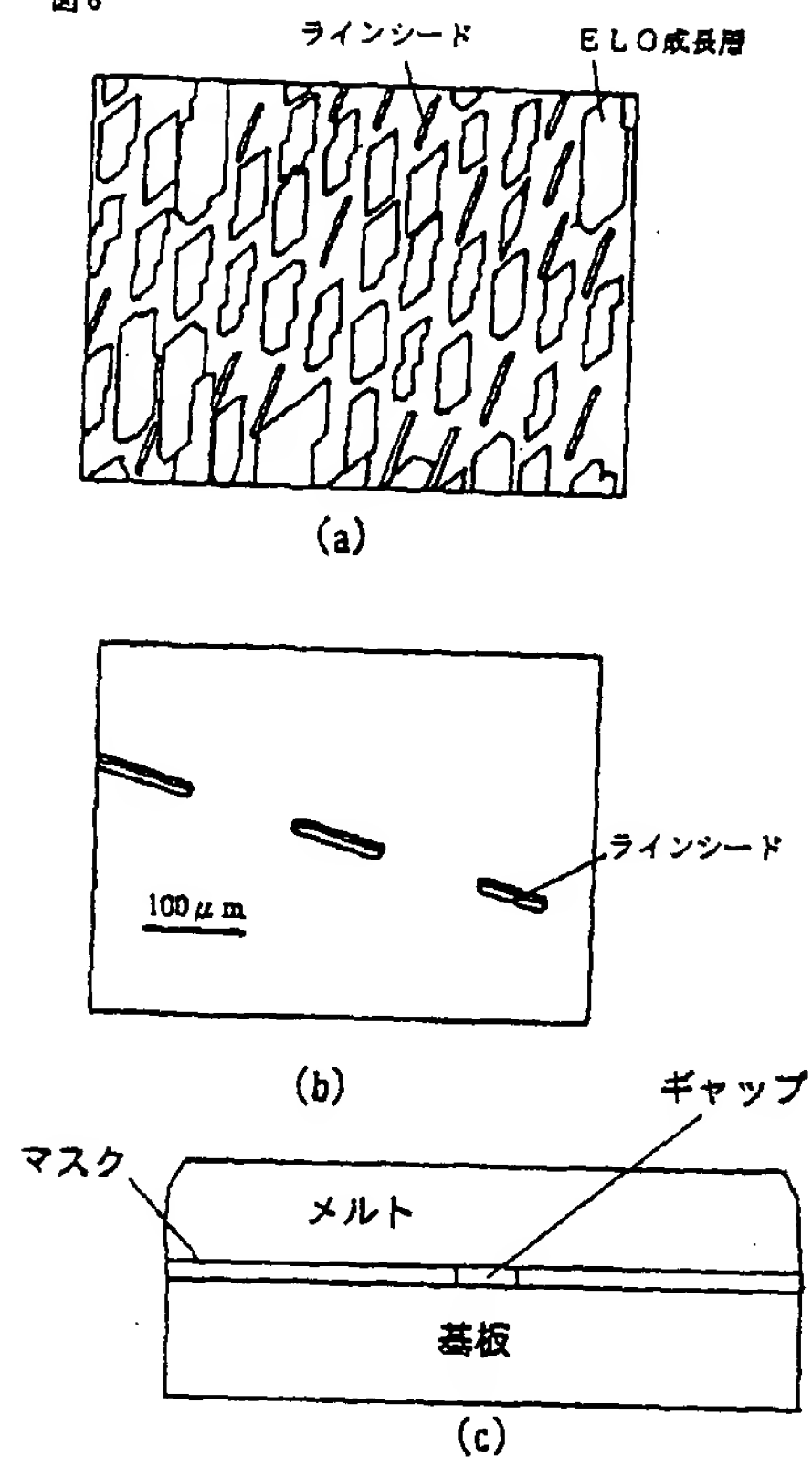
【図5】

図5



【図6】

図6



フロントページの続き

(72)発明者 成塚 重弥  
 東京都文京区小日向三丁目15番8号 リン  
 デンハイツ  
 (72)発明者 西永 頌  
 千葉県柏市南逆井四丁目11番4号

Fターム(参考) 5F053 BB24 DD03 DD04 DD05 DD06  
 DD07 DD08 DD09 DD11 DD12  
 DD20 FF01 FF05 GG01 GG05  
 HH01 HH04 LL10 PP13 RR01  
 RR04 RR20